

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 04206766  
PUBLICATION DATE : 28-07-92

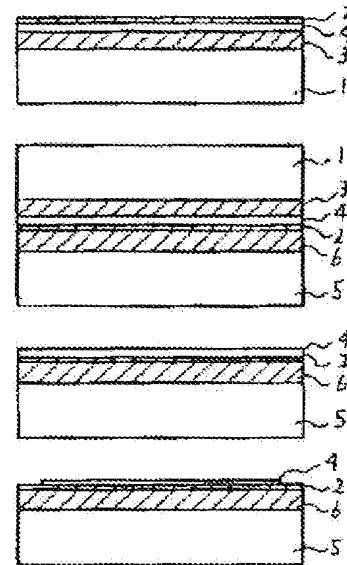
APPLICATION DATE : 30-11-90  
APPLICATION NUMBER : 02337097

APPLICANT : HITACHI LTD;

INVENTOR : SHIGENIWA MASAHIRO;

INT.CL. : H01L 27/00 H01L 21/336 H01L 29/784

TITLE : MANUFACTURE OF  
SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To enable a MOS transistor using an ultra-thin film single crystal silicon layer with an good crystallization and a uniform film thickness by forming an extremely thin-film single crystal silicon layer by combining the application method and the SIMOX method for enabling the film thickness to be controlled easily.

CONSTITUTION: An oxide film 2 is formed on a single crystal silicon substrate 1, oxygen ion implantation and heat treatment are performed, an oxide film layer 3 is formed, and a single crystal silicon thin film 4 is formed. Then, a p-type single crystal silicon substrate 5 is subjected to heat treatment, an oxide film layer 6 is formed, and a surface of the single crystal silicon thin film 4 is applied to the single crystal substrate 5. Then, the single crystal substrate 1 where oxygen ion implantation was performed and the oxide film layer 3 are eliminated and then the single crystal silicon thin film 4 is made thinner by oxidation and fluoric acid aqueous solution treatment. Further, a single crystal silicon thin film at areas other than an element formation region is selectively eliminated by the photo etching process.

COPYRIGHT: (C)1992,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-206766

⑪ Int.Cl.<sup>5</sup>

H 01 L 27/00  
21/336  
29/784

識別記号

3 0 1 S

庁内整理番号

7514-4M

⑬ 公開 平成4年(1992)7月28日

9056-4M H 01 L 29/78 3 1 1 Y

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 平2-337097

⑯ 出 願 平2(1990)11月30日

⑰ 発 明 者 楠 川 喜 久 雄 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内  
⑱ 発 明 者 大 倉 理 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内  
⑲ 発 明 者 茂 庭 昌 弘 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内  
⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地  
㉑ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

1. 絶縁膜上の超薄膜単結晶シリコン層を能動領域とする半導体装置の製造において、(1)単結晶シリコン基板に酸素イオン打ち込みを行い単結晶シリコン基板表面層を酸化膜で分離することにより単結晶シリコン薄膜を形成する工程、(2)上記(1)により形成した単結晶シリコン基板表面を支持基板に貼り合わせる工程、(3)貼り合わせて形成した基板の酸素イオン打ち込みを行った基板の裏面側からシリコン、酸化膜及び単結晶シリコン薄膜の表面層を除去する工程、(4)支持基板表面の単結晶シリコン薄膜を能動領域とする半導体素子を形成する工程を具備することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は絶縁膜上の超薄膜単結晶シリコン層を能動領域とする電気特性の良好な半導体素子を有する半導体装置の製造方法に関する。

〔従来の技術〕

従来、絶縁膜上の超薄膜の単結晶シリコン層を能動領域とするMOSトランジスタの単結晶シリコン薄膜の形成法は、3つに大別できる。1つめの方法は、液相成長、固相成長、及び選択エピタキシーを用いた絶縁膜上へのシリコンのオーバー成長等の結晶成長を用いた単結晶シリコン層を酸化とエッチングあるいは研磨等により薄膜化する方法である。2つめの方法は、単結晶シリコン基板に酸素イオン打ち込みを行うことにより基板表面の単結晶層を基板から分離するSIMOX[エレクトロニクス レターズ 14, ナンバー18 (1978年)第593頁から第594頁 (Electronics Letters 14 No.18(1978)pp593-594)]である。3つめの方法は、単結晶基板を貼り合わせた後に片方の基板を研磨等により薄膜化する貼り合わせ法(特開平1-215041)である。

【発明が解決しようとする課題】

超薄膜単結晶シリコン層に形成したMOSトランジスタは、従来の絶縁膜上の単結晶シリコン層に形成したMOSトランジスタ特性のキンク効果を抑制すると共に、サブスレッショルド特性を改善することができるので、高電界効果移動度を得ることが可能である。しかし、超薄膜単結晶シリコン層に形成したMOSトランジスタは、シリコン層の全てが空乏化し、閾値電圧が単結晶シリコン層の厚さの関数となるため、精密な膜厚制御が必要となる。

従来の各種の形成法を用いた超薄膜単結晶シリコン層は、次のような特徴がある。

(1) 結晶成長法を用いる場合、単結晶シリコン層の形成は結晶成長条件から通常 $0.5\mu\text{m}$ 以上の膜厚で行ない、超薄膜MOSトランジスタの薄膜効果を得るために単結晶シリコン層を $0.1\mu\text{m}$ 以下にしなければならない。これら結晶成長法で形成した単結晶シリコン層の酸化膜界面側には結晶欠陥が多く、薄膜化するとこの結晶

欠陥が表出するため十分な電気特性が得られない。

(2) SIMOX法を用いる場合、単結晶シリコン層は酸素イオン打ち込みを用いて基板表面のみを分離して形成するため、膜厚制御がイオン打ち込みの均一性でできるので膜厚制御は良好である。また、単結晶基板を用いるため結晶成長法に比べ結晶性が良い。それでも、SIMOX基板では単結晶シリコン基板に高濃度の酸素イオン打ち込みを行って酸化膜を形成するため得られる単結晶シリコン層には $10^4$ 個/ $\text{cm}^2$ 以上の結晶欠陥が生じてしまう。

(3) 貼り合わせ法を用いる場合、結晶欠陥に関しては、あまり考えなくても良い。その反面、貼り合わせる単結晶シリコンは機械的強度を要するため、数百 $\mu\text{m}$ 以上のものを用いる必要があり、単結晶シリコン層の薄膜化後の膜厚分布が課題である。

以上のように、従来法では結晶性の優れた超薄膜単結晶シリコン層の形成技術は確立されていない。

い。

【課題を解決するための手段】

絶縁膜上に結晶性の良い超薄膜の単結晶シリコン層を形成する方法として、結晶性の良い貼り合わせ法と膜厚制御の容易なSIMOX法を組み合わせる方法を考案した。SIMOXでは、単結晶シリコン基板に酸素イオン打ち込みを用いることによって酸化膜層を単結晶シリコン基板内に形成するため、酸素原子を取り入れた酸化膜領域とその界面近傍の単結晶シリコン部に結晶歪が発生し、その後SIMOX工程で不可欠である高温熱処理( $1200^\circ\text{C}$ )を行うため結晶歪が結晶欠陥に成長する。従って、この熱処理温度を酸素イオン打ち込み層が酸化膜に変化できるのに必要なだけの温度にすることによって単結晶シリコン層に生じる結晶欠陥を低減する。さらに、SIMOXの酸素イオン打ち込み層とその界面近傍の単結晶シリコン部を除去することによって結晶性の良い超薄膜の単結晶シリコン膜が得られる。この超薄膜単結晶シリコン膜を基板に接着する方法として、

結晶欠陥の無い貼り合わせ法を用いる。

【作用】

単結晶シリコン基板表面層は、酸素イオン打ち込み後の高温熱処理を行うことによって酸化膜層との界面近傍部の結晶歪が結晶欠陥になるため、この熱処理温度を酸素イオン打ち込み層が酸化膜に変化できるのに必要なだけの温度にすることによって単結晶シリコン層に生じる結晶欠陥を低減し、裏面からの基板エッチングのエッチングストップ層に用いる。そして、基板エッチング後に酸素イオン打ち込み層とその周辺部の単結晶シリコン層をエッチングすることによって、超薄膜の単結晶シリコン膜を形成するため、この単結晶シリコン膜には欠陥が内在しない。また、単結晶シリコン層の膜厚制御に関しては、単結晶シリコン基板に形成した酸素イオン打ち込み層を基板エッチングのエッチングストップ層に用いるため、イオン打ち込みの深さ分布の膜厚バラツキが生じないので、超薄膜の単結晶シリコン層が制御よく形成できる。

従って、貼り合わせ基板の片側にS I M O X基板を用いることにより膜厚の制御が図れると共に、S I M O X基板の基板シリコン側を除去することによって、単結晶シリコン層と酸化膜層界面を表面側に持ってきて酸化、除去できるので結晶欠陥を取り除くことができる。

#### 〔実施例〕

以下、本発明の実施例を説明する。

#### ＜実施例1＞

第1図の如く、型単結晶シリコン(100)基板1を1000℃の酸素雰囲気中で熱処理することにより約20nmの酸化膜2を形成した。次に、酸素イオン打ち込み( $O^+$ , 150keV,  $2 \times 10^{15} cm^{-2}$ )及び熱処理(900℃, 2時間)を行い、酸化膜層3を形成した。この酸素イオン打ち込みで形成した酸化膜層3によって単結晶シリコン基板1の表面が基板と分離され、約200nmの単結晶シリコン薄膜4が形成された(第1図a参照)。

次に、p型単結晶シリコン(100)基板5を

1000℃の酸素雰囲気中で熱処理することにより約500nmの酸化膜層6を形成した。そして、単結晶基板5に単結晶シリコン薄膜4表面を圧着・加熱(950℃)することによって貼り合わせた(第1図b参照)。

次に、酸素イオン打ち込みを行った単結晶基板1をアルミナ研磨剤を用いたラッピングにより約50μmまで除去した。その後、エチレンジアミン・ピテカチコールを化学液に用いるメカニカル・ケミカルポリッシングで残りの50μmを除去した。このメカニカル・ケミカルポリッシングでは単結晶基板1の加工速度が酸化膜層3に比べて4桁以上大きいため、ラッピングで生じた残膜厚の不均一及び加工面歪を除去することができた。さらに、酸化膜層3を非酸水溶液処理によって除去した(第1図c参照)。

その後、試料を酸化(酸素雰囲気, 1000℃, 145nm)および非酸水溶液処理することにより200nmの単結晶シリコン薄膜4を約100nmに薄膜化した。さらに、単結晶シリコン薄膜

4内に形成する素子の分離のため、通常のホト・エッチング工程により素子形成領域以外の単結晶シリコン薄膜を選択的に除去した(第1図d参照)。

以後の工程は、通常の多結晶シリコンゲートM O Sトランジスタの形成プロセスを用いて超薄膜M O Sトランジスタを形成した。素子のゲート酸化膜8は15nm、ドレイン9およびソース10の形成は砒素( $As$ )イオン打ち込み(80keV,  $5 \times 10^{15} cm^{-2}$ )を用いた(第1図e参照)。上記のように形成した超薄膜nチャネルM O Sトランジスタ(単結晶シリコン層: 90nm、ゲート長: 2μm、ゲート幅: 2μm)の電界効果移動度は約800 $\Omega/V \cdot s$ であり、従来のバルクM O Sトランジスタの電界効果移動度(約600 $\Omega/V \cdot s$ )の1.5倍の値が得られた。これは、超薄膜単結晶シリコン層の効果によるものである。

#### ＜実施例2＞

第2図の如く、実施例1と同様な工程で、p型単結晶シリコン(100)基板1を1000℃の

酸素雰囲気中で熱処理することにより約20nmの酸化膜2を形成した。次に、酸素イオン打ち込み( $O^+$ , 90keV,  $2 \times 10^{15} cm^{-2}$ )及び熱処理(900℃, 2時間)を行い、酸化膜層3を形成した。この酸素イオン打ち込みで形成した酸化膜層3によって単結晶シリコン基板1の表面が基板と分離され、約100nmの単結晶シリコン薄膜4が形成された(第2図a参照)。

その後、単結晶シリコン薄膜4を活性領域、ポリシリコンをゲート7とするnチャネルM O Sトランジスタを形成した。素子のゲート酸化膜8は15nm、ドレイン9およびソース10の形成は砒素( $As$ )イオン打ち込み(80keV,  $5 \times 10^{15} cm^{-2}$ )を用いた(第2図b参照)。

次に、p型単結晶シリコン(100)基板5を1000℃の酸素雰囲気中で熱処理することにより約500nmの酸化膜層6を形成した。そして、単結晶基板5表面と上記nチャネルM O Sトランジスタを対向させてエポキシ系の接着剤11によって貼り合わせた(第2図c参照)。

次に、酸素イオン打ち込みを行った単結晶基板1を約50 $\mu\text{m}$ までアルミナ研磨剤を用いたラッピングにより除去した。その後、エチレンジアミン・ピテカテコールを化学液に用いるメカニカル・ケミカルポリッシングで残りの50 $\mu\text{m}$ を除去した。このメカニカル・ケミカルポリッシングでは単結晶基板1の加工速度が酸化膜層3に比べて4桁以上大きいため、ラッピングで生じた残膜厚の不均一及び加工面歪を除去することができた(第2図d参照)。

次に、酸化膜層3に電極配線用のコンタクトホール12及びアルミ配線13を形成した(第2図e参照)。上記のように形成したnチャネルMOSトランジスタ(単結晶シリコン層:80nm、ゲート長:2 $\mu\text{m}$ 、ゲート幅:2 $\mu\text{m}$ )の電界効果移動度は、約700 $\text{cm}^2/\text{V}\cdot\text{s}$ であり、従来のバルクMOSトランジスタの電界効果移動度(約600 $\text{cm}^2/\text{V}\cdot\text{s}$ )の1.2倍の値が得られた。この電界効果移動度は、実施例1より1割程度小さい値であったが、この結果はデバイスと基板5

との貼り付けに接着剤11を用いたため配線工程を低温で行ったためである。

#### <実施例3>

実施例2と同様な工程で、第3図の如く、p型単結晶シリコン(100)基板1表面層を酸素イオン打ち込みによる酸化膜3で分離して形成した単結晶シリコン薄膜4を活性領域、ポリシリコンをゲート7とするnチャネルMOSトランジスタを形成した。その後、層間絶縁膜として被着したCVD酸化膜8に電極配線用のコンタクトホール12及びアルミ配線13を形成した(第3図a参照)。

次に、n型単結晶シリコン(100)基板15表面にp型シリコン層16及びポリシリコン、ゲート17とするpチャネルMOSトランジスタを形成した。このn型単結晶基板15表面に形成したpMOSトランジスタに上記nMOSトランジスタをエポキシ系の接着剤11によって貼り合わせた(第3図b参照)。

次に、酸素イオン打ち込みを行った単結晶シリ

コン基板1の裏面側からアルミナ研磨剤を用いたラッピングとエチレンジアミン・ピテカテコールを化学液に用いるメカニカル・ケミカルポリッシングで単結晶シリコン基板1を除去した(第3図c参照)。

上記のように形成したnチャネルMOSトランジスタ(ゲート長:2 $\mu\text{m}$ 、ゲート幅:2 $\mu\text{m}$ )の電界効果移動度は約700 $\text{cm}^2/\text{V}\cdot\text{s}$ であり、従来のバルクnMOSトランジスタの電界効果移動度(約600 $\text{cm}^2/\text{V}\cdot\text{s}$ )の1.2倍の値が得られた。また、p型単結晶シリコン基板15表面に形成したpチャネルMOSトランジスタの電界効果移動度については、基板の貼り合わせ前後において差異が生じなかった。

なお、この実施例3のように、デバイス層を接着していく単結晶基板15表面のpチャネルMOSトランジスタ及び積み上げたnチャネルMOSトランジスタがデバイス形成後に高温熱処理を受けない。従って、実施例2の場合、デバイス層の上にアルミ配線13を設けた状態で基板の貼り合わ

せを行うことによって、デバイス層の上下に配線13および配線18を設置することが可能となる(第4図a参照)。また、アルミ配線を形成した超薄膜デバイス層を積層することも可能である。

(第4図b参照)。その場合、層間に導電性の柱を設け、上下デバイス間のアライメントを行うことにより、例えば本実施例3ではCMOSが形成できる。また、2層以上の各デバイス層に配線を設けて、複雑な回路のレイアウトを単純化することも可能である。

#### (発明の効果)

本発明によれば、超薄膜単結晶シリコン膜を能動領域とするMOSトランジスタにおいて、結晶性が良好であり、かつ膜厚が均一な超薄膜単結晶シリコン層を用いたMOSトランジスタの製造が可能となる。さらに、本発明の効果は、単体MOSトランジスタ及びCMOSの製造のみに限らず、DRAM、SRAMの高集積メモリー、高速演算回路等を合わせた半導体装置の製造にも適用できる。

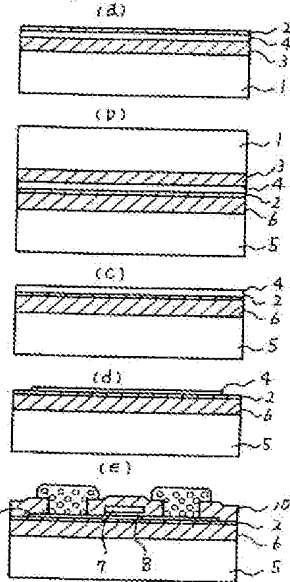
## 4. 図面の簡単な説明

第1図、第2図、第3図及び第4図は、本発明の製造工程を示す断面図である。

1…p型単結晶シリコン基板、2…熱酸化膜、3…酸化膜層（酸素イオン打ち込み層）、4…単結晶シリコン薄膜、5…p型単結晶シリコン基板（支持基板）、6…酸化膜層、7…ポリシリコン・ゲート、8…ゲート酸化膜、9…ドレイン、10…ソース、11…エポキシ系接着剤、12…コンタクトホール、13…アルミ配線、14…CVD酸化膜、15…n型単結晶シリコン基板（支持基板）、16…p型シリコン層、17…ポリシリコン・ゲート、18…アルミ配線、19…ポリシリコン・ゲート。

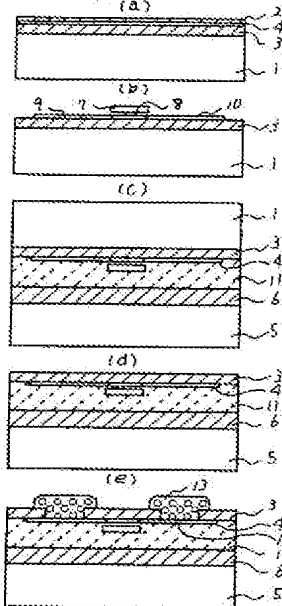
代理人 井理士 小川勝男

第1図



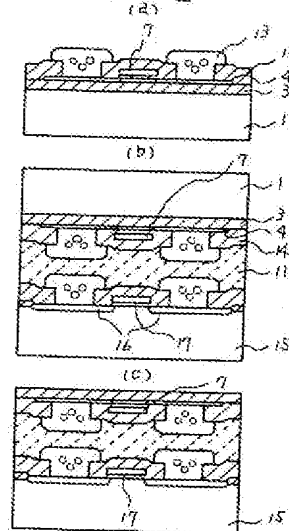
- |                    |             |
|--------------------|-------------|
| 1 p型単結晶シリコン基板      | 6 酸化膜層      |
| 2 熱酸化膜             | 7 ポリシリコンゲート |
| 3 酸化膜層(酸素イオン打ち込み層) | 8 ゲート酸化膜    |
| 4 単結晶シリコン薄膜        | 9 ドレイン      |
| 5 p型単結晶シリコン基板      | 10 ソース      |

第2図



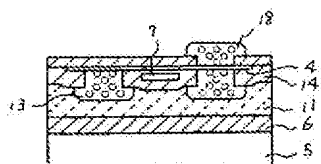
- |                     |             |
|---------------------|-------------|
| 1 p型単結晶シリコン基板       | 7 ポリシリコンゲート |
| 2 熱酸化膜              | 8 ゲート酸化膜    |
| 3 酸化膜層(酸素イオン打ち込み層)  | 9 ドレイン      |
| 4 単結晶シリコン薄膜         | 10 ソース      |
| 5 p型単結晶シリコン基板(支持基板) | 11 エポキシ系接着剤 |
| 6 酸化膜層              | 12 コンタクトホール |
|                     | 13 アルミ配線    |

第3図

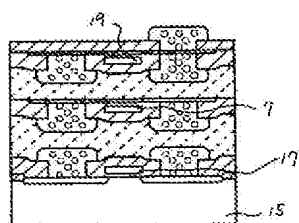


- |                    |                      |
|--------------------|----------------------|
| 1 p型単結晶シリコン基板      | 13 アルミ配線             |
| 3 酸化膜層(酸素イオン打ち込み層) | 14 CVD酸化膜            |
| 4 単結晶シリコン薄膜        | 15 n型単結晶シリコン基板(支持基板) |
| 7 ポリシリコンゲート        | 16 p型シリコン層           |
| 11 エポキシ系接着剤        | 17 ポリシリコンゲート         |

第 4 図  
(a)



(b)



- 4 単結晶シリコン層
- 5 P型単結晶シリコン基板(支持基板)
- 6 酸化膜層
- 7 ポリシリコンゲート
- 11 エポキシ樹脂接着剤
- 13 アルミ酸膜
- 14 CVD酸化膜
- 15 N型単結晶シリコン基板(支持基板)
- 17 ポリシリコンゲート
- 18 アルミ酸膜
- 19 ポリシリコンゲート